

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-151310

(43)Date of publication of application : 30.05.2000

H03G 3/10

H03F 1/02

H04B 1/04

(21)Application number : 11-242466

(71)Applicant : HITACHI LTD

HITACHI ULSI SYSTEMS CO LTD

HITACHI TOBU SEMICONDUCTOR LTD

(22)Date of filing : 30.08.1999

(72)Inventor : UENO HIROTAKE

NUNOKAWA YASUHIRO

ADACHI TETSUAKI

(30)Priority

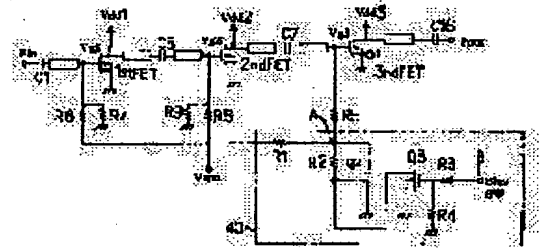
Priority number : 10244709 Priority date : 31.08.1998 Priority country : JP

(54) SEMICONDUCTOR AMPLIFYING CIRCUIT AND RADIO COMMUNICATIONS EQUIPMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To execute operation with high amplification efficiency in spite of the difference in the output levels by incorporating and constituting plural field effect transistors in multiple stages and providing a correction circuit control bias voltage which is applied to the gate voltage of the field effect transistor in a final stage, when a high output mode or a low output mode is indicated.

SOLUTION: A field effect transistor is constituted of the three stages of a first stage transistor (1stFET), a second stage transistor (2ndFET) and a final stage transistor (3rdFET). A power control terminal (V_{apc}) controls gate voltages (V_{g1}–V_{g3}) of 1stFET–3rdFET. A correction circuit 40 is made capable of using the gate voltage V_{g3} the 3rdFET in a linear state, with a high level signal being inputted to a connection point B at the high output mode and can use it in a state, where the amplification efficiency of 3rdFET is high with a low level signal inputted to the connection point B at a low output mode.



LEGAL STATUS

[Date of request for examination]

22.10.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-151310

(P2000-151310A)

(43) 公開日 平成12年5月30日 (2000.5.30)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 3 G 3/10		H 0 3 G 3/10	A
H 0 3 F 1/02		H 0 3 F 1/02	
H 0 4 B 1/04		H 0 4 B 1/04	E

審査請求 未請求 請求項の数38 O L (全 15 頁)

(21) 出願番号 特願平11-242466
 (22) 出願日 平成11年8月30日 (1999.8.30)
 (31) 優先権主張番号 特願平10-244709
 (32) 優先日 平成10年8月31日 (1998.8.31)
 (33) 優先権主張国 日本 (J P)

(71) 出願人 000005108
 株式会社日立製作所
 東京都千代田区神田駿河台四丁目6番地
 (71) 出願人 000233169
 株式会社日立超エル・エス・アイ・システムズ
 東京都小平市上水本町5丁目22番1号
 (71) 出願人 000233527
 日立東部セミコンダクタ株式会社
 群馬県高崎市西横手町1番地1
 (74) 代理人 100083552
 弁理士 秋田 収喜

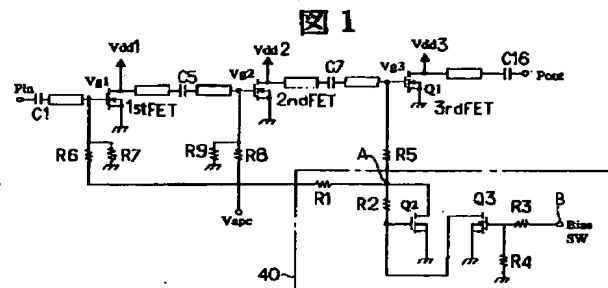
最終頁に続く

(54) 【発明の名称】 半導体増幅回路および無線通信装置

(57) 【要約】

【課題】 低出力モードでの増幅効率の増大を図り消費電力を低減させる。

【解決手段】 多段構成の高周波パワーモジュールの各電界効果トランジスタをパワーレベル指示信号に基づいてA P C回路で制御する無線通信装置であって、最終段トランジスタのゲートとA P C回路との間には、パワーレベル指示信号に基づくHighレベル信号が印加された際、最終段トランジスタにはリニアにゲート電圧が印加されるように構成され、前記パワーレベル指示信号に基づくLowレベル信号が印加された際、最終段トランジスタには最大ゲート電圧が前記他のトランジスタのゲート電圧以下でありかつゲート電圧の前記A P C回路の出力電圧に対する増加率が漸次低減するように構成される補正回路が組み込まれ、前記A P C回路の出力電圧が設定電圧以上となる場合を高出力モードとして使用し、前記設定電圧よりも低い場合を低出力モードとして使用するように構成されている。



【特許請求の範囲】

【請求項1】 第1端子と第2端子と制御端子を各々有する複数の半導体増幅素子と、入力端子と、出力端子と、第1電源端子と、第2電源端子と、バイアス供給端子と、出力制御回路と、出力モード指定端子とを有し、上記複数の半導体増幅素子は、第1の半導体増幅素子と第2の半導体増幅素子を有し、上記第1の半導体増幅素子は、

制御端子は入力端子に供給される信号に応答した信号を供給されると共に、バイアス供給端子より所定レベルのバイアスを供給され、

第1端子が第1電源端子に接続され、

第2端子が第2電源端子に接続され、上記第2の半導体増幅素子は、

制御端子が第1の半導体増幅素子の第1端子に電氣的に接続されると共に、バイアス供給端子に接続され、

第1端子が第1電源端子と出力端子に接続され、

第2端子が第2電源端子に接続され、上記第1の半導体増幅素子の第1端子と第2端子の間を流れる電流が、上記第2の半導体増幅素子の第1端子と第2端子の間を流れる電流より小さくなるよう半導体増幅素子を構成し、出力制御回路は、上記第2の半導体増幅素子の制御端子とバイアス供給端子の間に接続され、第1の出力モードでは、半導体増幅回路の出力が所定のレベルに制限されるように、上記第2の半導体増幅素子の制御端子に供給するバイアスレベルを制御し、第2の出力モードでは、半導体増幅回路の出力に応じて、上記第2の半導体増幅素子の制御端子に供給するバイアスレベルを制御する半導体増幅回路。

【請求項2】 請求項1の複数の半導体増幅素子は、更に第3の半導体増幅素子を有し、第3の半導体増幅素子は、上記第1の半導体増幅素子と入力端子の間に接続され、制御端子が入力端子に接続されると共に、バイアス供給端子より所定レベルのバイアスを供給され、第1端子が第1電源端子に接続されると共に上記第1の半導体増幅素子の制御端子に電氣的に接続され、第2端子が第2電源端子に接続され、第3の半導体増幅素子の第1端子と第2端子の間を流れる電流が、上記第2の半導体増幅素子の第1端子と第2端子の間を流れる電流より小さくなるよう半導体増幅素子を構成される半導体増幅回路。

【請求項3】 請求項2の出力制御回路は、上記第1の出力モードでは、最大出力時に第2の半導体増幅素子の制御端子へ供給するバイアスレベルを、他の半導体増幅素子の制御端子へ供給するバイアスレベルより低いものとする半導体増幅回路。

【請求項4】 請求項3の出力制御回路は、補正用半導体増幅素子とスイッチ用半導体増幅素子より構成され、補正用半導体増幅素子は、第1端子は上記バイアス供給端子に接続され、第2端子は第2電源端子に接続され、

制御端子は抵抗性素子を介してバイアス供給端子に接続され、スイッチ用半導体増幅素子は、第1端子は上記補正用半導体増幅素子の制御端子に接続され、第2端子は第2電源端子に接続され、制御端子は上記出力モード指定端子に接続される半導体増幅回路。

【請求項5】 請求項4の半導体増幅回路は、少なくとも上記第2の半導体増幅素子と上記補正用半導体増幅素子は、同一半導体基板上に形成される半導体増幅回路。

【請求項6】 請求項5の半導体増幅回路は、1の半導体基板上に形成される半導体増幅回路。

【請求項7】 請求項6の半導体増幅回路は、上記複数の半導体増幅素子、上記補正用半導体増幅素子、上記スイッチ用半導体増幅素子を電界効果トランジスタを用いて形成される半導体増幅回路。

【請求項8】 請求項6の半導体増幅回路は、上記複数の半導体増幅素子、上記補正用半導体増幅素子、上記スイッチ用半導体増幅素子をバイポーラ型トランジスタを用いて形成される半導体増幅回路。

【請求項9】 請求項6の半導体増幅回路は、上記複数の半導体増幅素子、上記補正用半導体増幅素子、上記スイッチ用半導体増幅素子をヘテロ接合バイポーラトランジスタを用いて形成される半導体増幅回路。

【請求項10】 第1端子と第2端子と制御端子を有する、複数の半導体増幅素子と、入力端子と、出力端子と、第1電源端子と、第2電源端子と、バイアス供給端子と、出力制御回路と、出力モード指定端子とを有し、上記複数の半導体増幅素子は、第1の半導体増幅素子と第2の半導体増幅素子を有し、上記第1の半導体増幅素子は、

制御端子は入力端子に供給される信号に応答した信号を供給されると共に、バイアス供給端子より所定レベルのバイアスを供給され、

第1端子が第1電源端子に接続され、

第2端子が第2電源端子に接続され、上記第2の半導体増幅素子は、

制御端子が第1の半導体増幅素子の第1端子に電氣的に接続されると共に、上記出力制御回路に接続され、

第1端子が第1電源端子と出力端子に接続され、

第2端子が第2電源端子に接続され、出力制御回路は、

第2の半導体増幅素子の制御端子とバイアス供給端子の間に接続され、第1の出力モードでは、第2の半導体増幅素子の制御端子に供給するバイアスレベルを一定となるように制御し、第2の出力モードでは、半導体増幅回路の出力に応じて、第2の半導体増幅素子の制御端子に供給するバイアスレベルを制御する半導体増幅回路。

【請求項11】 請求項10の複数の半導体増幅素子は、更に第3の半導体増幅素子を有し、第3の半導体増幅素子は、上記第1の半導体増幅素子と入力端子の間に接続され、制御端子が入力端子に接続されると共に、バイアス供給端子より所定レベルのバイアスを供給され、

第1端子が第1電源端子に接続されると共に上記第1の半導体増幅素子の制御端子に電氣的に接続され、第2端子が第2電源端子に接続される半導体増幅回路。

【請求項12】 請求項11の出力制御回路は、上記第1の出力モードでは、最大出力時に第2の半導体増幅素子の制御端子に供給するバイアスレベルを、上記第1又は上記第3の半導体増幅素子に供給するバイアスレベルより低いものとする半導体増幅回路。

【請求項13】 請求項12の半導体増幅回路は、1の半導体基板上に形成される半導体増幅回路。

【請求項14】 請求項13の半導体増幅回路は、上記複数の半導体増幅素子を電界効果トランジスタを用いて形成される半導体増幅回路。

【請求項15】 請求項13の半導体増幅回路は、上記複数の半導体増幅素子をバイポーラ型トランジスタを用いて形成される半導体増幅回路。

【請求項16】 請求項13の半導体増幅回路は、上記複数の半導体増幅素子をヘテロ接合バイポーラトランジスタを用いて形成される半導体増幅回路。

【請求項17】 第1端子と第2端子と制御端子を有する、複数の半導体増幅素子と、入力端子と、出力端子と、第1電源端子と、第2電源端子と、第1バイアス供給端子と、第2バイアス供給端子よりなる半導体増幅回路であって、上記複数の半導体増幅素子は、第1の半導体増幅素子と第2の半導体増幅素子を有し、第1の半導体増幅素子は、

制御端子は入力端子に供給される信号に応答した信号を供給されると共に、第1バイアス供給端子より所定レベルのバイアスを供給され、

第1端子が第1電源端子に接続され、

第2端子が第2電源端子に接続され、第2の半導体増幅素子は、

制御端子が第1の半導体増幅素子の第1端子に電氣的に接続されると共に、第2バイアス供給端子に接続され、

第1端子が第1電源端子と出力端子に接続され、

第2端子が第2電源端子に接続され、第1の出力モードでは、第2バイアス供給端子より供給するバイアスレベルを一定となるよう制御し、第2の出力モードでは、半導体増幅回路の出力に応じて、第2バイアス供給端子より供給するバイアスレベルを制御する半導体増幅回路。

【請求項18】 請求項17の複数の半導体増幅素子は、更に第3の半導体増幅素子を有し、第3の半導体増幅素子は、上記第1の半導体増幅素子と入力端子の間に接続され、制御端子が入力端子に接続されると共に、第1バイアス供給端子より所定レベルのバイアスを供給され、第1端子が第1電源端子に接続されると共に上記第1の半導体増幅素子の制御端子に電氣的に接続され、第2端子が第2電源端子に接続される半導体増幅回路。

【請求項19】 請求項18の出力制御回路は、上記第1の出力モードでは、最大出力時に第2バイアス供給端

子より供給するバイアスレベルは、上記第1バイアス供給端子より供給するバイアスレベルより低いものである半導体増幅回路。

05 【請求項20】 請求項19の半導体増幅回路は、1の半導体基板上に形成される半導体増幅回路。

【請求項21】 請求項20の半導体増幅回路は、上記複数の半導体増幅素子を電界効果トランジスタを用いて形成される半導体増幅回路。

10 【請求項22】 請求項20の半導体増幅回路は、上記複数の半導体増幅素子をバイポーラ型トランジスタを用いて形成される半導体増幅回路。

【請求項23】 請求項20の半導体増幅回路は、上記複数の半導体増幅素子をヘテロ接合バイポーラトランジスタを用いて形成される半導体増幅回路。

15 【請求項24】 自動電力制御回路と、上記自動電力制御回路に出力レベルを指示するパワーレベル指示信号と、上記自動電力制御回路が出力するモード信号により出力レベルの制御を行う半導体増幅回路を有する無線通信装置であって、上記半導体増幅回路は、第1端子と第2端子と制御端子を有する、複数の半導体増幅素子と、

20 入力端子と、出力端子と、第1電源端子と、第2電源端子と、バイアス供給端子と、出力制御回路と、出力モード指定端子を有する半導体増幅回路であって、上記複数の半導体増幅素子は、第1の半導体増幅素子と第2の半導体増幅素子を有し、第1の半導体増幅素子は、

25 制御端子は入力端子に供給される信号に応答した信号を供給されると共に、バイアス供給端子より所定レベルのバイアスを供給され、

第1端子が第1電源端子に接続され、

30 第2端子が第2電源端子に接続され、第2の半導体増幅素子は、

制御端子が第1の半導体増幅素子の第1端子に電氣的に接続されると共に、バイアス供給端子に接続され、

第1端子が第1電源端子と出力端子に接続され、

35 第2端子が第2電源端子に接続され、出力制御回路は、第2の半導体増幅素子の制御端子とバイアス供給端子の間に接続され、第1の出力モードでは、半導体増幅回路の出力が所定のレベルに制限されるように、第2の半導体増幅素子の制御端子に供給するバイアスレベルを制御し、第2の出力モードでは、半導体増幅回路の出力に応じて、第2の半導体増幅素子の制御端子に供給するバイアスレベルを制御する無線通信装置。

【請求項25】 請求項24の複数の半導体増幅素子は、更に第3の半導体増幅素子を有し、第3の半導体増幅素子は、上記第1の半導体増幅素子と入力端子の間に

45 接続され、制御端子が入力端子に接続されると共に、バイアス供給端子より所定レベルのバイアスを供給され、第1端子が第1電源端子に接続されると共に上記第1の半導体増幅素子の制御端子に電氣的に接続され、第2端子が第2電源端子に接続される無線通信装置。

50

【請求項26】 請求項25の出力制御回路は、上記第1の出力モードでは、最大出力時に第2の半導体増幅素子の制御端子へ供給するバイアスレベルを、他の半導体増幅素子の制御端子へ供給するバイアスレベルより低いものとする無線通信装置。

【請求項27】 請求項26の半導体増幅回路は、1の半導体基板上に形成される無線通信装置。

【請求項28】 請求項27の半導体増幅回路は、上記複数の半導体増幅素子を電界効果トランジスタを用いて形成される無線通信装置。

【請求項29】 請求項27の半導体増幅回路は、上記複数の半導体増幅素子をバイポーラ型トランジスタを用いて形成される無線通信装置。

【請求項30】 請求項27の半導体増幅回路は、上記複数の半導体増幅素子をヘテロ接合バイポーラトランジスタを用いて形成される無線通信装置。

【請求項31】 半導体増幅回路と、自動電力制御回路と、上記自動電力制御回路に出力レベルを指示するパワーレベル指示信号を有する無線通信装置であって、上記半導体増幅回路は、第1端子と第2端子と制御端子を有する、複数の半導体増幅素子と、入力端子と、出力端子と、第1電源端子と、第2電源端子と、第1バイアス供給端子と、第2バイアス供給端子よりなる半導体増幅回路であって、上記複数の半導体増幅素子は、第1の半導体増幅素子と第2の半導体増幅素子を有し、第1の半導体増幅素子は、制御端子は入力端子に供給される信号にตอบสนองした信号を供給されると共に、第1バイアス供給端子より所定レベルのバイアスを供給され、第1端子が第1電源端子に接続され、第2端子が第2電源端子に接続され、第2の半導体増幅素子は、制御端子が第1の半導体増幅素子の第1端子に電氣的に接続されると共に、第2バイアス供給端子に接続され、第1端子が第1電源端子と出力端子に接続され、第2端子が第2電源端子に接続され、第1の出力モードでは、第2バイアス供給端子より供給するバイアスレベルを一定となるように制御し、第2の出力モードでは、半導体増幅回路の出力に応じて、第2バイアス供給端子より供給するバイアスレベルを制御する無線通信装置。

【請求項32】 請求項31の複数の半導体増幅素子は、更に第3の半導体増幅素子を有し、第3の半導体増幅素子は、上記第1の半導体増幅素子と入力端子の間に接続され、制御端子が入力端子に接続されると共に、第1バイアス供給端子より所定レベルのバイアスを供給され、第1端子が第1電源端子に接続されると共に上記第1の半導体増幅素子の制御端子に電氣的に接続され、第2端子が第2電源端子に接続される無線通信装置。

【請求項33】 請求項32の出力制御回路は、上記第1の出力モードでは、最大出力時に第2バイアス供給端

子より供給するバイアスレベルは、上記第1バイアス供給端子より供給するバイアスレベルより低いものである無線通信装置。

05 【請求項34】 請求項33の半導体増幅回路は、1の半導体基板上に形成される無線通信装置。

【請求項35】 請求項34の半導体増幅回路は、上記複数の半導体増幅素子を電界効果トランジスタを用いて形成される無線通信装置。

10 【請求項36】 請求項34の半導体増幅回路は、上記複数の半導体増幅素子をバイポーラ型トランジスタを用いて形成される無線通信装置。

【請求項37】 請求項34の半導体増幅回路は、上記複数の半導体増幅素子をヘテロ接合バイポーラトランジスタを用いて形成される無線通信装置。

15 【請求項38】 第1端子と第2端子と制御端子を各々有する複数の半導体増幅素子と、入力端子と、出力端子と、第1電源端子と、第2電源端子と、バイアス供給端子と、出力制御回路と、出力モード指定端子とを有し、上記複数の半導体増幅素子は、第1段の半導体増幅素子と出力段の半導体増幅素子を有し、上記第1段の半導体増幅素子は、制御端子は入力端子に供給される信号にตอบสนองした信号を供給されると共に、バイアス供給端子より所定レベルのバイアスを供給され、

20 第1端子が第1電源端子に接続され、第2端子が第2電源端子に接続され、上記出力段の半導体増幅素子は、制御端子が第1段の半導体増幅素子の第1端子に電氣的に接続されると共に、バイアス供給端子に接続され、

30 第1端子が第1電源端子と出力端子に接続され、第2端子が第2電源端子に接続され、上記第1段の半導体増幅素子の第1端子と第2端子の間を流れる電流が、上記出力段の半導体増幅素子の第1端子と第2端子の間を流れる電流より小さくなるよう半導体増幅素子を構成

35 し、出力制御回路は、上記出力段の半導体増幅素子の制御端子とバイアス供給端子の間に接続され、第1の出力モードでは、半導体増幅回路の出力が所定のレベルに制限されるように、上記出力段の半導体増幅素子の制御端子に供給するバイアスレベルを制御し、第2の出力モードでは、半導体増幅回路の出力に応じて、上記出力段の半導体増幅素子の制御端子に供給するバイアスレベルを制御する半導体増幅回路。

【発明の詳細な説明】

【0001】

45 【発明の属する技術分野】 本発明は無線通信装置（無線通信機）および無線通信機に組み込まれる半導体増幅回路（高周波電力増幅器；高周波パワーモジュール）に関し、特に低出力モード時の増幅効率を向上させることができる技術に適用して有効な技術に関する。

50 【0002】

【従来の技術】自動車電話、携帯電話機等の無線通信機（移動通信装置）の送信機の送信側出力段には、MOS FETやGaAs-MESFET等を多段に組み込んだ増幅器（高周波電力増幅器：RFパワーモジュール）が組み込まれている。

【0003】一般に、携帯電話機では使用環境に合わせて基地局からのパワーレベル指示信号によって周囲環境に適応するように出力を変えて通話を行い、他の携帯電話機との間で混信を生じさせないようなシステムが構成されている。

【0004】高周波電力増幅器（高周波電力増幅器IC：RF電力増幅回路）については、日経BP社発行「日経エレクトロニクス」1997年1月27日号、P115～P126に記載されている。この文献には、北米の900MHz帯のセルラ方式携帯電話の標準方式や欧州のGSM方式について記載されている。また、この文献には、出力制御方式についても記載されていて、「出力制御方式として広く使用されている方式は、送信部の最終段の利得は一定にしておいて、プログラマブルな減衰器を用いて最終段への入力信号の大きさを変える・・・」等と記載されている。

【0005】さらに、同文献には、「どの方式であれユーザは、携帯電話機の遠方の基地局との通信能力を電池寿命と同じくらい重要だと考える。セルラ方式携帯電話機の規格はすべて低と高の出力範囲を規定しているが、設計者は許容されている最大出力に近い出力が得られるように設計するのが得策である。」旨記載されている。

【0006】【発明が解決しようとする課題】セルラ方式携帯電話機における送信側出力段の高周波電力増幅器（高周波電力増幅回路）は、APC（Automatic Power Control）回路によってその出力が制御されていて、通話に必要な出力となるようにゲート電圧が制御される構成になっている。

【0007】前記電力増幅回路は、最大出力で電源効率が最も良くなるため、電力増幅回路の出力レベルが小さい場合には、その電源効率が急激に低下することになる。このため、基地局に近い状態等での出力レベルが小さい使用の場合には、電源効率が低く、電池の消費率が高くなり、電池寿命が短くなる。この結果、一電池当たりの通話時間が短くなる。

【0008】また、従来の高周波電力増幅器では、最終段パワーMOSのゲートバイアスを下げるだけであることから、低出力（たとえば、+5dBm）時のリニアリティやAM/AM特性（AM/AMconversion）が低下する。

【0009】本発明の目的は、出力レベルの違いに係わらず高い増幅効率で動作する半導体増幅回路（高周波電力増幅器）および無線通信装置（無線通信機）を提供することにある。

【0010】本発明の他の目的は、出力レベルの違いに係わらず高い増幅効率で動作する低出力時のリニアリティやAM/AM特性が良好な高周波電力増幅器および無線通信機を提供することにある。

05 【0011】本発明の他の目的は、通話時間および電池寿命を長くできる高周波電力増幅器および無線通信機を提供することにある。

【0012】本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面からあきらかになるであろう。

10 【0013】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

15 【0014】なお下記においては半導体増幅素子の例として電界効果トランジスタ（FET）を開示するが、半導体増幅素子は電界効果トランジスタに限られるものではなく、バイポーラトランジスタ、ヘテロ接合バイポーラトランジスタ（HBT）、HEMT（high-electron-mobility transistor）等を含み、また半導体増幅素子を形成する半導体基板についてもシリコン基板に限られるものではなく、シリコン-ゲルマニウム基板やガリウム-砒素基板等を含むものである。

20 【0015】（1）複数の電界効果トランジスタを多段に組み込んで構成される半導体増幅回路であって、最終段の電界効果トランジスタのゲート電極に印加するバイアス電圧を制御する補正回路を有するものである。各段の電界効果トランジスタに印加するバイアス電圧は、パワーコントロール端子より供給される。上記補正回路
25 は、自動電力制御（APC）回路から高出力モードの指示がされた場合、パワーコントロール端子より供給されるバイアス電圧の増加に応じて、最終段の電界効果トランジスタのゲート電極に与えるバイアス電圧を一定の増加率で増加させる。一方自動電力制御回路から低出力モードの指示がされた場合、パワーコントロール端子より供給されるバイアス電圧の増加に応じて、上記補正回路は最終段の電界効果トランジスタのゲート電極に与えるバイアス電圧を増加率が漸次低減するように増加させる。
30

35 【0016】本構成においては、上記半導体増幅回路は、複数の電界効果トランジスタを多段に組み込んだ構成を取り、上記補正回路、入力端子、出力端子、複数の基準電位端子、前記複数の電界効果トランジスタのゲート端子に接続される制御端子、バイアススイッチ端子を有する。
40

45 【0017】上記補正回路は前記最終段の電界効果トランジスタのゲート電極と前記自動電力制御回路との間のバイアス電源印加経路の接続点Aに接続される。補正回路は補正用電界効果トランジスタとスイッチ用電界効果トランジスタ、及び複数の抵抗素子により構成される。
50

補正用電界効果トランジスタは、ドレイン端子が接続点Aに接続され、ゲート端子が抵抗を介して接続点Aに接続され、ソース端子が基準電位（Gnd）に電位固定される。補正用電界効果トランジスタと上記最終段の電界効果トランジスタは、同じ構造を有し、同一基板上に形成され、且つ上記補正用電界効果トランジスタは、上記最終段の電界効果トランジスタを所定の比率で縮小したサイズとなっている。スイッチ用電界効果トランジスタは、ドレイン端子が上記補正用電界効果トランジスタのゲート端子に接続され、ゲート端子がバイアススイッチ端子に接続され、ソース端子が基準電位（Gnd）に電位固定される。

【0018】前記バイアススイッチ端子には、出力電力レベル制御回路の出力信号が接続される。

【0019】（2）また上記（1）の構成において、バイアススイッチ端子に上記自動電力制御回路の出力を接続し、自動電力制御回路の出力信号が所定の設定電圧よりも低い場合を低出力モードとし、高い場合を高出力モードとなるよう構成することも可能である。

【0020】本構成においては、（1）のスイッチ用電界効果トランジスタのゲート端子に接続されるバイアススイッチ端子に、上記自動電力制御回路の出力を接続する。

【0021】（3）更に他の構成においては、上記補正回路は有さず、上記自動電力制御回路の出力信号が所定の設定電圧より低い場合を低出力モード、高い場合を高出力モードとし、高出力モードの場合は全ての電界効果トランジスタのゲート端子に供給するバイアス電圧を、上記自動電力制御回路の出力信号より供給する。低出力モードの場合、最終段の電界効果トランジスタのゲート端子に供給するバイアス電圧は一定の電圧を印加し、他の電界効果トランジスタには上記自動電力制御回路の出力信号をバイアス電圧として供給する。この場合、最終段の電界効果トランジスタに供給するバイアス電圧は、特に特定されないが、他の電界効果トランジスタに供給する最大ゲート電圧よりも0.5V程度低い電圧とする。

【0022】本構成においては、上記半導体増幅回路は、複数の電界効果トランジスタを多段に組み込んだ構成を取り、入力端子、出力端子、複数の基準電位端子、前記複数の電界効果トランジスタのゲート端子に接続される制御端子を有する。上記制御端子は、最終段の前記電界効果トランジスタ以外の電界効果トランジスタのゲート端子に接続される第1制御端子と、最終段の電界効果トランジスタのゲート端子に接続される第2制御端子とを有する。

【0023】前記（1）の手段によれば、（a）パワーレベル指示信号に基づいて自動電力制御回路（APC回路）からの出力信号で各電界効果トランジスタのゲート電圧を制御する際、高出力モードでは前記補正回路の接

続点B（バイアススイッチ端子）にHighレベル信号を入力し各電界効果トランジスタのゲート電圧をリニアの状態で使用し、低出力モードでは前記補正回路のバイアススイッチ端子にLowレベル信号を入力して最終段の電界効果トランジスタの効率（増幅効率）が高い状態で使用できることになる。この結果、低出力モードでのリニアリティの向上、AM/AM特性が向上するとともに、消費電力の低減が図れ、電池寿命が長くなる。また、電池寿命の向上は通話時間の向上となる。また、消費電力の低減は電池の小型化にも繋がり、無線通信機の小型化、軽量化が達成できる。

【0024】（b）前記最終段の電界効果トランジスタと前記補正用電界効果トランジスタはモノリシックに形成され、かつ前記補正用電界効果トランジスタは前記最終段の電界効果トランジスタの所定の比率で縮小した大きさになっていることから、自動電力制御回路の出力信号（制御信号）によるゲートバイアス電圧の変化は、ピークパワー（最大ゲート電圧）のみならず送信出力の立ち上がり立ち下りのスロープも合わせて高精度になるとともに、FETの特性バラツキ、温度変化に対して安定になる。

【0025】前記（2）の手段は、前記手段（1）の構成において、接続点Bには自動電力制御回路の出力信号が入力される構成になり、自動電力制御回路の出力信号の設定電圧を境として低い状態では前記補正回路は低出力モードをとり、高い状態では高出力モードをとる構成になっていることから、前記手段（1）と同様の効果を有することになる。すなわち、低出力モードでのリニアリティの向上、AM/AM特性が向上するとともに、消費電力の低減が図れ、電池寿命が長くなる。

【0026】前記（3）の手段は、前記手段（1）のような補正回路は設けないが、高出力モードでは全ての電界効果トランジスタを自動電力制御回路で制御し、前記低出力モードでは最終段の前記電界効果トランジスタのゲートバイアスを一定にし前記他の電界効果トランジスタを前記自動電力制御回路で制御する構成になっていることから、前記手段（1）の構成の場合と同様に低出力モードでは効率が高くなり、AM/AM特性が向上する。また、電池寿命、すなわち通話時間も長くなる。

【0027】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。なお、発明の実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0028】また下記においては半導体増幅素子の例として電界効果トランジスタ（FET）により説明をするが、半導体増幅素子は電界効果トランジスタに限られるものではなく、バイポーラトランジスタ、ヘテロ接合バイポーラトランジスタ（HBT）、HEMT（high-electron-mobility transistor）等を含み、また半導体増

幅素子を形成する半導体基板についてもシリコン基板に限られるものではなく、シリコン-ゲルマニウム基板やガリウム-砒素基板等を含むものである。

【0029】（実施形態1）本実施形態1では電界効果トランジスタを3段に従属接続した多段構成の半導体増幅回路（高周波電力増幅器：高周波パワーモジュール）と、その高周波パワーモジュールを組み込んだ無線通信装置（携帯電話機）に適用した例について説明する。

【0030】図1乃至図6は本発明の一実施形態（実施形態1）である高周波電力増幅器（高周波パワーモジュール）に係わる図である。図1は本実施形態1の高周波パワーモジュールの等価回路図、図2は高周波パワーモジュールの外観を示す斜視図、図3は高周波パワーモジュールの基板の平面図である。

【0031】本実施形態1の高周波電力増幅器（高周波パワーモジュール）1は、図2に示すように、板状の配線基板2の上面（主面）にキャップ3が重ねられ、外観的には扁平な矩形体構造になっている。

【0032】高周波パワーモジュール1は、能動部品として、複数の電界効果トランジスタを順次従属接続して回路的に多段構成にした構造になっている。本実施形態1では電界効果トランジスタ（以下単にトランジスタとも呼称する）を、初段トランジスタ（1st FET）、2段トランジスタ（2nd FET）、最終段トランジスタ（3rd FET）とした3段構成になっている（図3および図1参照）。本実施形態1の高周波パワーモジュール1は、無線通信機としての移動電話用の高周波パワーモジュールを構成している。

【0033】キャップ3は金属板を矩形箱状に成形したものであり、周壁4に設けたフック支持アーム5の内側に突出するフック爪6を、前記配線基板2の周壁に設けた図示しない窪んだ係止部に引っ掛けることによって固定されている。

【0034】このキャップ3は配線基板2のグランド配線に前記フック爪6を介して電氣的に接続されて電磁シールド体を構成している。

【0035】前記配線基板2の下面周囲には、各電極端子（外部端子）が設けられ、高周波パワーモジュール1は表面実装によってマザーボード等の実装基板に固定されるようになっている。

【0036】図3は配線基板2の平面図である。この図において、配線基板2の一長辺（図中下側）には右から左に向かって、入力端子（Pin）10、パワーコントロール端子（Bias-SW）11、グランド端子（GND）12、パワーコントロール端子（Vapc）13、グランド端子14となる。また、他の長辺（図中上側）では右から左に向かって電源端子（Vdd1）15、電源端子（Vdd2）16、グランド端子17、電源端子（Vdd3）18、出力端子（Pout）19となる。

【0037】また、前記配線基板2の表面には、電界効

果トランジスタを組み込んだ半導体チップ25~27、Rと数値で表示される複数の抵抗、Cと数値で表示される複数のコンデンサ、CBと数値で表示される複数のバイパスコンデンサが固定されている。

05 【0038】1st FETと2nd FETは単一の半導体基板にモノリシックに形成されている。また、3rd FET（Q1）は2個の半導体チップ26、27で構成されている。一方の半導体チップ27、すなわち半導体基板には、前記3rd FETを構成する電界効果トランジスタ
10 と、後述する補正用電界効果トランジスタ（Q2）がモノリシックに形成されている。このQ1の一部を構成する電界効果トランジスタと、Q2なる電界効果トランジスタはその構造が同じである。しかし、その大きさは、
15 図4に示すように、Q2はQ1の所定の比率で縮小した大きさになっており、特に限定されないが1/500程度とすることが出来る。これは、後述する自動電力制御回路の出力信号（制御信号）によるゲートバイアス電圧の変化を、ピークパワー（最大ゲート電圧）のみならず送信出力の立ち上がり立ち下りのスロープも合わせて高精度に追従させるためである。図4にはQ1およびQ2のゲート〔Gate（1）、Gate（2）〕と、Q1およびQ2のドレイン〔Drain（1）、Drain（2）〕のパターンが示されている。

25 【0039】図3において編みかけパターン部分30はメタライズ層であり、配線または部品固定用のパッドもしくはワイヤ接続用のパッド等となる。前記半導体チップ25~27の図示しない電極と前記編みかけパターン部分30である配線部分は導電性のワイヤ31で接続されている。

30 【0040】また、実際には前記半導体チップ25~27やワイヤ31等必要箇所は絶縁性樹脂で被われている。

【0041】本実施形態1の高周波パワーモジュール1は、図1に示すような等価回路になっている。この等価回路は主要部のみを示すものである。なお、長方形はマイクロストリップ線路を示す。

【0042】この回路において、パワーコントロール端子（Vapc）によって1st FET、2nd FET、3rd FETのゲート電圧（Vg1、Vg2、Vg3）を制御する。本
40 実施形態1では、自動電力制御回路の出力を入力するパワーコントロール端子（Vapc）と、最終段の電界効果トランジスタ（3rd FET）のゲートとの間には、補正回路40が設けられている。

【0043】この補正回路40は、図1に示すように、
45 前記最終段の電界効果トランジスタ（Q1）のゲートと前記Vapc端子との間のバイアス電源印加経路の接続点Aにドレインが接続されゲートが抵抗R2を介して接続されソースが基準電位に電位固定されるNチャネル型の補正用電界効果トランジスタ（Q2）と、前記補正用電
50 界効果トランジスタ（Q2）のゲートにドレインが接続

されソースが基準電位に電位固定されゲートが抵抗 R_3 、 R_4 を介して基準電位に電位固定されるNチャネル型のスイッチ用電界効果トランジスタ(Q_3)と、前記スイッチ用電界効果トランジスタ(Q_3)のゲートと接続点Bとの間に接続される抵抗 R_3 、 R_4 とを有する構成になっている。前記接続点Bは前述のバイアススイッチ端子(Bias SW: パワーコントロール端子)となる。

【0044】前記接続点Bには、無線通信システムにおいて基地局から受けるパワーレベル指示信号を入力とする出力電力レベル制御回路の出力信号であるHighレベル信号またはLowレベル信号が入力される。

【0045】バイアススイッチ端子にHighレベル信号が入力されると、スイッチ用電界効果トランジスタ(Q_3)がオンし、補正用電界効果トランジスタ(Q_2)のゲートはグランド電位となり、補正用電界効果トランジスタ(Q_2)のゲート電圧 V_g は V_{apc} に比例する特性を示す(図5の左側のグラフ参照)。

【0046】また、バイアススイッチ端子にLowレベル信号が入力されると、スイッチ用電界効果トランジスタ(Q_3)がオフし、補正用電界効果トランジスタ(Q_2)は並列形正クリップ回路を構成し、図5の右側のグラフに示す特性となる。すなわち、Lowレベル信号が印加されると、図5の右のグラフ(低出力モード時のグラフ)に示すように前記最終段の電界効果トランジスタには最大ゲート電圧が前記他の電界効果トランジスタ(1st FET, 2nd FET)のゲート電圧以下でありかつゲート電圧の前記自動電力制御回路の出力電圧に対する増加率が漸次低減するような特性を示す。

【0047】本実施形態1の高周波パワーモジュール1を組み込んだ携帯電話では、前記Highレベル信号およびLowレベル信号は基地局から送られてくるパワーレベル指示信号に基づいて発生される。そして、前記自動電力制御回路の出力電圧(V_{apc})が設定電圧以上となる場合を高出力モードとして使用し、前記設定電圧よりも低い場合を低出力モードとして使用するように構成されている。たとえば、図5のグラフにおいて設定電圧を1.5Vとした場合、各トランジスタのゲート電圧(V_g)は、高出力モードでは図5の左側の高出力モード時のグラフにおいて V_{apc} が1.5V以上または1.5Vよりも高い状態のゲート電圧(V_g)となり、低出力モードでは図5の右側の低出力モード時のグラフにおいて V_{apc} が1.5Vよりも低いか1.5V以下の低い状態のゲート電圧(V_g)となる。

【0048】したがって、この補正回路40によれば、図5の右側の低出力モード時のグラフから分かるように、最終段の電界効果トランジスタ(3rd FET)のゲート電圧(V_g)は2V以下ではその変化率が V_{apc} の増加率に比較して徐々に緩慢となるため、1.5Vよりも低い状態での増幅効率が向上することになる。

【0049】これは、図6のグラフから分かるように、

補正トランジスタ(Q_2)のドレイン・ソース電流 I_{ds} の変化が大きくてもゲート・ソース電圧 V_{gs} の変化が小さいことによる。すなわち、 Q_2 の $I_{ds}-V_{gs}$ 特性が V_{th} 以上の領域で I_{ds} が大きく変化しても V_{gs} があまり変化しないことを利用して V_{gs} をクランプ(クリップ)することができる結果である。

【0050】図7は本実施形態1の高周波パワーモジュールを組み込んだ携帯電話(携帯電話機)の一部を示す回路ブロックである。

【0051】携帯電話機は、図7の回路ブロック図で示すように、発振器70から発振されたRF送信信号は、高周波パワーモジュール1の入力端子(Pin)に入力される。高周波パワーモジュール1で増幅され出力端子(Pout)から出力されたRF送信信号は、電力検出回路71、送信フィルタ72を経由してアンテナ73に至り、アンテナ73から電波となって送信される。

【0052】アンテナ73で受信されたRF受信信号は、受信回路80で信号処理される。また、受信回路80から出力された受信強度信号 S_{ri} は、A/D変換器81でデジタル信号に変換されてコントロールロジック82に出力する。

【0053】コントロールロジック82は出力電力レベル制御回路83のコントロールロジック(A)84と、出力電力補正制御回路86のコントロールロジック(B)87にパワーレベル指示信号 S_{pi} を出力する。

【0054】前記コントロールロジック(A)84は送られて来たパワーレベル指示信号 S_{pi} を処理して新たな出力信号を出力する。この信号はD/A変換器85でアナログ信号に変換され、パワーレベル指示電圧 V_{pi} となって自動電力制御回路(APC)回路74に出力され、APC回路74を制御する信号になる。APC回路74は、パワーコントロール端子(V_{apc})に入力される。

【0055】一方、前記コントロールロジック(B)87は、送られて来たパワーレベル指示信号 S_{pi} を処理して新たな出力信号を出力する。この信号はA/D変換器88でアナログ信号に変換され、前記Highレベル信号またはLowレベル信号となってパワーコントロール端子(Bias SW)に出力される。他方、高周波パワーモジュール1の電源端子 V_{dd} ($V_{dd1} \sim V_{dd3}$)には電池90が接続される。

【0056】本実施形態1によれば以下の効果を有する。

(1) パワーレベル指示信号に基づいて自動電力制御回路(APC回路)からの出力信号で各電界効果トランジスタのゲート電圧を制御する際、高出力モードでは前記補正回路40の接続点B(バイアススイッチ端子)にHighレベル信号を入力し各電界効果トランジスタのゲート電圧をリニアの状態で使用し、低出力モードでは前記補正回路40のバイアススイッチ端子にLowレベル信号を入力して最終段の電界効果トランジスタ(3rd FET)

の効率（増幅効率）が高い状態で使用できることになる。この結果、低出力モードでのリニアリティの向上、AM/AM特性が向上するとともに、消費電力の低減が図れ、電池寿命が長くなる。また、電池寿命の向上は通話時間の向上となる。また、消費電力の低減は電池の小型化にも繋がり、無線通信機の小型化、軽量化が達成できる。

【0057】（2）最終段の電界効果トランジスタ（Q1）と前記補正用電界効果トランジスタ（Q2）はモノリシックに形成され、かつ前記補正用電界効果トランジスタは前記最終段の電界効果トランジスタの所定の比率で縮小した大きさになっていることから、自動電力制御回路の出力信号（制御信号）によるゲートバイアス電圧の変化は、ピークパワー（最大ゲート電圧）のみならず送信出力の立ち上がり立ち下りのスロープも合わせて高精度になるとともに、FETの特性バラツキ、温度変化に対して安定になる。

【0058】（実施形態2）図8乃至図10は本発明の他の実施形態（実施形態2）である高周波パワーモジュールおよびその高周波パワーモジュールを組み込んだ携帯電話機に係わる図である。

【0059】本実施形態2の高周波パワーモジュールは図8の等価回路図で示す構成になっている。本実施形態2の高周波パワーモジュール1は、図8の等価回路図で示すように、前記実施形態1の高周波パワーモジュール1において、接続点Bを自動電力制御回路、すなわちVapcに接続した構造となっている。また、この回路では、前記自動電力制御回路の出力信号の設定電圧を境として低い状態では低出力モードとなり、高い状態では高出力モードとなるように構成されている。

【0060】図9は本実施形態2の高周波パワーモジュールを組み込んだ携帯電話機の一部を示す回路ブロックである。この回路ブロックは前記実施形態1において、コントロールロジック82から接続点Bに連なる出力電力補正制御回路を除いた構成になっている。そして、APC回路74による高出力モードと低出力モードの切替え点になる設定電圧Vapc(SW)は、図10にも示してあるが、次式で与えられる。

【0061】

【数1】

$$V_{apc(SW)} = \frac{R3 + R4}{R4} \times V_{th}$$

【0062】図10は本実施形態2の高周波パワーモジュールを組み込んだ携帯電話機における最終段トランジスタのゲートバイアス電圧Vg3とパワーコントロール信号電圧Vapcの相関を示すグラフである。

【0063】本実施形態2の場合は、前記設定電圧Vapc(SW)を境として、Vapcが小さい領域では低出力モード（図5の右側の特性）となり、Vapcが大きい領域では高出力モード（図5の左側の特性）となり、低出力モ

ードで増幅効率の向上が図れる。本実施形態2においても、前記実施形態1と同様に、低出力モードの効率増大から、低出力モードでのリニアリティの向上、AM/A特性が向上するとともに、消費電力の低減が図れ、電池寿命が長くなる。また、電池寿命の向上は通話時間の向上となる。また、消費電力の低減は電池の小型化にも繋がり、無線通信機の小型化、軽量化が達成できる。

【0064】（実施形態3）図11乃至図16は本発明の他の実施形態（実施形態3）である高周波パワーモジュールおよびその高周波パワーモジュールを組み込んだ携帯電話機に係わる図である。

【0065】本実施形態3の高周波パワーモジュールは図11の等価回路図で示す構成になっている。本実施形態3の高周波パワーモジュール1は、図11の等価回路図で示すように、前記実施形態1のような補正回路は設けず、制御端子を最終段の前記電界効果トランジスタ（3rdFET）を除く他の前記電界効果トランジスタ（1stFETおよび2ndFET）のゲートに接続される第1制御端子Vapc1と、前記最終段の電界効果トランジスタ（3rdFET）のゲートにのみ接続される第2制御端子Vapc2とを有する構成になっている。

【0066】図16は本実施形態3の高周波パワーモジュールを組み込んだ携帯電話機の一部を示す回路ブロックである。この回路では、前記実施形態1の回路において、出力電力レベル制御回路83の出力信号をAPC回路74に入力させ、このAPC回路74の出力信号を前記第1制御端子Vapc1に入力させて1stFETおよび2ndFETを制御する初段側制御回路系と、出力電力補正制御回路86の出力信号を前記第2制御端子Vapc2に入力させて最終段の電界効果トランジスタ（3rdFET）を一定電圧で制御する最終段制御回路系とが設けられている。

【0067】また、前記初段側制御回路系と最終段制御回路系はモード切替え回路95によって切替えられ、高出力モードの場合には、多段の各トランジスタ（1stFET、2ndFET、3rdFET）が全てがAPC回路74によって制御され、低出力モードの場合には、1stFETと2ndFETがAPC回路74によって制御され、3rdFETが最終段制御回路系で一定電圧で制御されるようになっている。

【0068】前記モード切替え回路95はコントロールロジック（C）96と、このコントロールロジック（C）96によって制御されるアナログスイッチ（SW）97とで構成されている。モード切替え回路95はコントロールロジック82の出力信号によって切り換わるようになっている。

【0069】図12は高出力モードおよび低出力モードにおけるパワーコントロール信号電圧と各トランジスタのゲートバイアス電圧との相関を示すグラフである。低出力モードでは3rdFETは一定のゲート電圧Vgにな

っている。そして、たとえば V_{apc} が1.4Vを境として、 V_{apc} が高い状態では高出力モードで動作させ、 V_{apc} が低い状態では低出力モードで動作させる。これにより、図13のグラフに示すように増幅効率が向上するとともに、図15のグラフに示すようにAM/AM特性が向上する。

【0070】また、図14は本実施形態3の高周波パワーモジュールにおける高出力モードおよび低出力モードにおけるパワーコントロール信号電圧と出力電力との相関を示すグラフである。 V_{apc} が1.4Vよりも小さい状態では低出力モードで使用した場合、出力電力の効率は出力電力が30dBmのとき6%前後向上する（高出力モードの効率は約23%、低出力モードの効率は約29%）。

【0071】本実施形態3においても、前記実施形態1と同様に、低出力モードの効率増大から、低出力モードでのリニアリティの向上、AM/AM特性が向上するとともに、消費電力の低減が図れ、電池寿命が長くなる。また、電池寿命の向上は通話時間の向上となる。また、消費電力の低減は電池の小型化にも繋がり、無線通信機の小型化、軽量化が達成できる。

【0072】以上本発明者によってなされた発明を実施形態に基づき具体的に説明したが、本発明は上記実施形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0073】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である携帯電話機について説明したが、それに限定されるものではなく、たとえば、自動車電話等他の移動通信機などに適用できる。本発明は少なくとも電池で駆動する無線通信技術には適用できる。

【0074】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

(1) パワーレベル指示信号に基づくHighレベル信号とLowレベル信号の切り換えで高出力モードと低出力モードとなし、低出力モードでは最終段の電界効果トランジスタのバイアスが相対的に高い値となることから、低出力モードでのリニアリティの向上、AM/AM特性が向上するとともに、消費電力の低減が図れる。

(2) この結果、電池寿命が長くなる。

(3) また、消費電力の低減から通話時間の向上を図ることができる。

(4) また、消費電力の低減は電池の小型化にも繋がり、無線通信機の小型化、軽量化も達成できる。

【図面の簡単な説明】

【図1】本発明の一実施形態（実施形態1）である高周波パワーモジュールの等価回路図である。

【図2】本実施形態1の高周波パワーモジュールの外観

を示す斜視図である。

【図3】本実施形態1の高周波パワーモジュールの基板の平面図である。

【図4】本実施形態1の高周波パワーモジュールにおける最終段トランジスタと、最終段トランジスタのゲートバイアスを補正する補正トランジスタを示す平面図である。

【図5】本実施形態1の高周波パワーモジュールにおける高出力モードおよび低出力モードにおけるパワーコントロール信号電圧と各トランジスタのゲートバイアス電圧との相関を示すグラフである。

【図6】前記補正トランジスタのゲート・ソース電圧とドレイン・ソース電流との相関を示すグラフである。

【図7】本実施形態1の高周波パワーモジュールを組み込んだ携帯電話機の一部を示す回路ブロックである。

【図8】本発明の他の実施形態（実施形態2）である高周波パワーモジュールの等価回路図である。

【図9】本実施形態2の高周波パワーモジュールを組み込んだ携帯電話機の一部を示す回路ブロックである。

【図10】本実施形態2の高周波パワーモジュールを組み込んだ携帯電話機における最終段トランジスタのゲートバイアス電圧とパワーコントロール信号電圧の相関を示すグラフである。

【図11】本発明の他の実施形態（実施形態3）である高周波パワーモジュールの等価回路図である。

【図12】本実施形態3の高周波パワーモジュールにおける高出力モードおよび低出力モードにおけるパワーコントロール信号電圧と各トランジスタのゲートバイアス電圧との相関を示すグラフである。

【図13】本実施形態3の高周波パワーモジュールにおける高出力モードおよび低出力モードにおける出力電力と効率との相関を示すグラフである。

【図14】本実施形態3の高周波パワーモジュールにおける高出力モードおよび低出力モードにおけるパワーコントロール信号電圧と出力電力との相関を示すグラフである。

【図15】本実施形態3の高周波パワーモジュールと従来の高周波パワーモジュールにおける出力電力とAM/AM特性との相関を示すグラフである。

【図16】本実施形態3の高周波パワーモジュールを組み込んだ携帯電話機の一部を示す回路ブロックである。

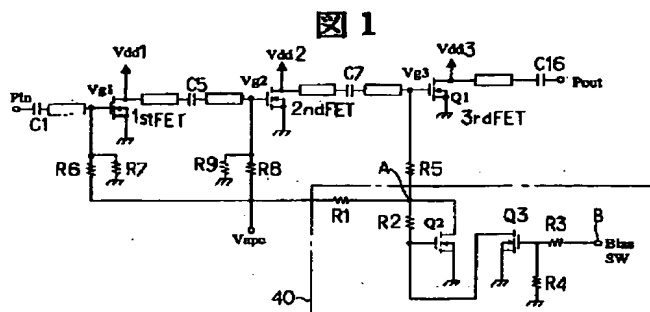
【符号の説明】

1…高周波電力増幅器（高周波パワーモジュール）、2…配線基板、3…キャップ、4…周壁、5…フック支持アーム、6…フック爪、10…入力端子（Pin）、11…パワーコントロール端子（Bias SW）、12…グランド端子（GND）、13…パワーコントロール端子（ V_{apc} ）、14…グランド端子、15…電源端子（ V_{dd1} ）、16…電源端子（ V_{dd2} ）、17…グランド端子、18…電源端子（ V_{dd3} ）、19…出力端子（Pout）、25

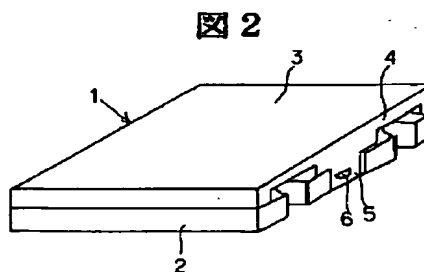
～27…半導体チップ、30…編みかけパターン部分、
31…ワイヤ、40…補正回路、70…発振器、71…
電力検出回路、72…送信フィルタ、73…アンテナ、
74…APC回路、80…受信回路、81…A/D変換
器、82…コントロールロジック、83…出力電力レベ

ル制御回路、84…コントロールロジック(A)、85
…D/A変換器、86…出力電力補正制御回路、87…
コントロールロジック(B)、88…A/D変換器、9
0…電池、95…モード切替え回路、96…コントロー
ルロジック(C)、97…アナログスイッチ(SW)。

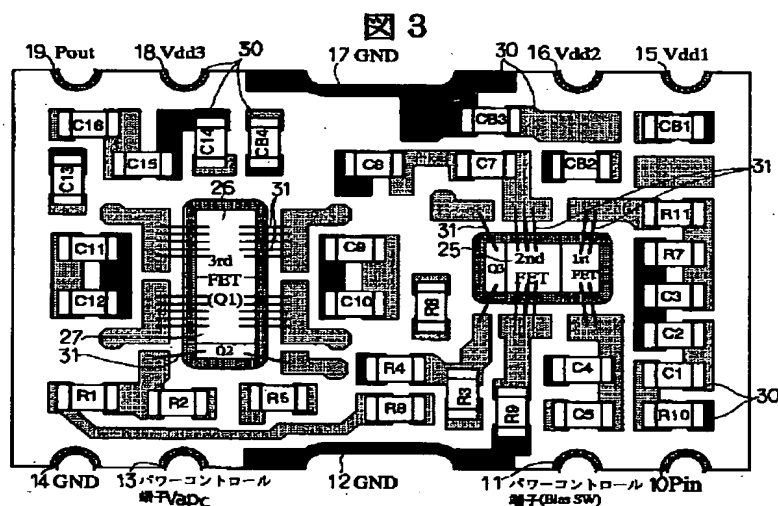
【図1】



【図2】

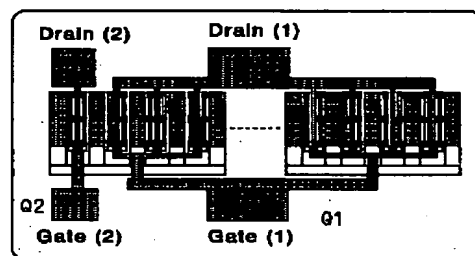


【図3】



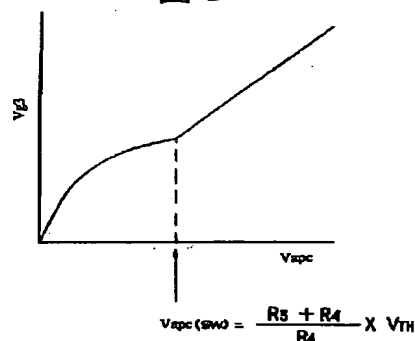
【図4】

図4



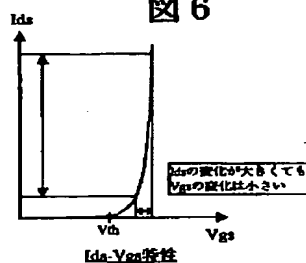
【図10】

図10



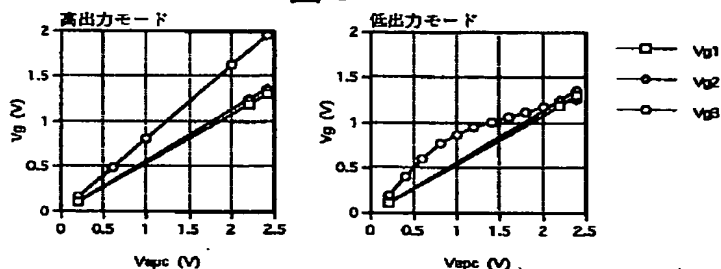
【図6】

図6



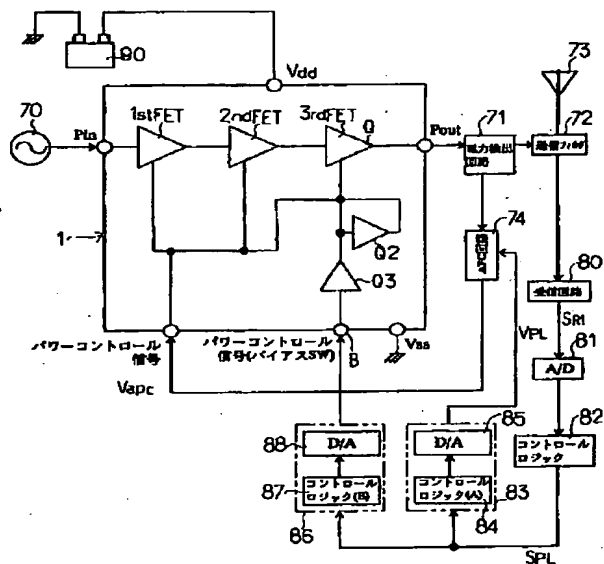
【図5】

图 5



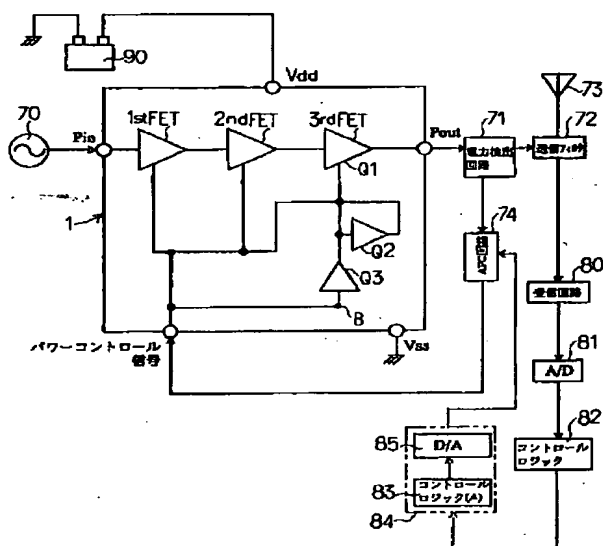
【図 7】

图 7



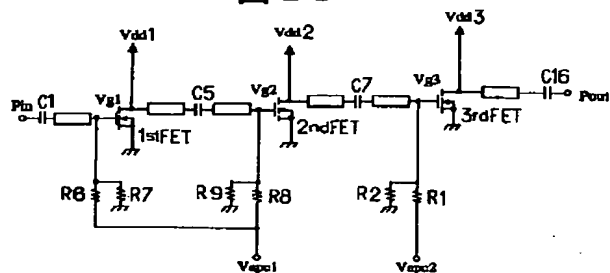
【图9】

图 9



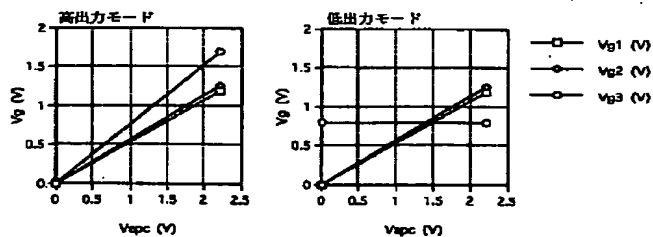
【图 1 1】

图 11



【图 1 2】

图 12



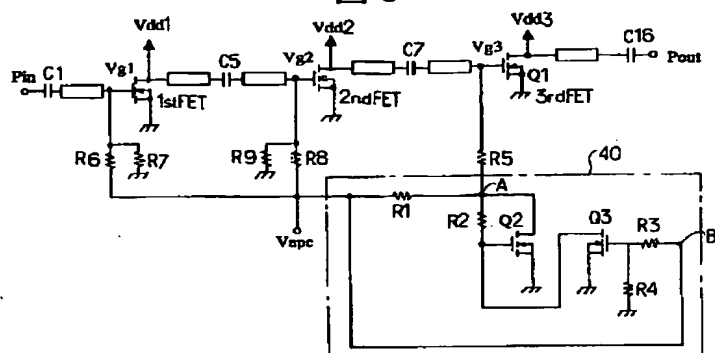
高出力モード：Vapc1-Vapc2-Control

低出力モード: Vapc1-Control
Vapc2-Fix

Vapc1-Co
Vapc2-Fix

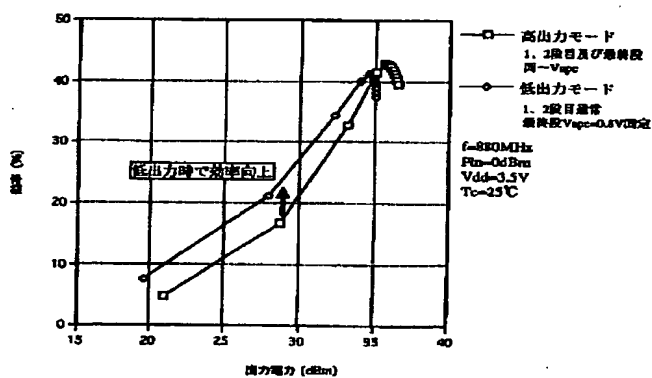
【図8】

図8



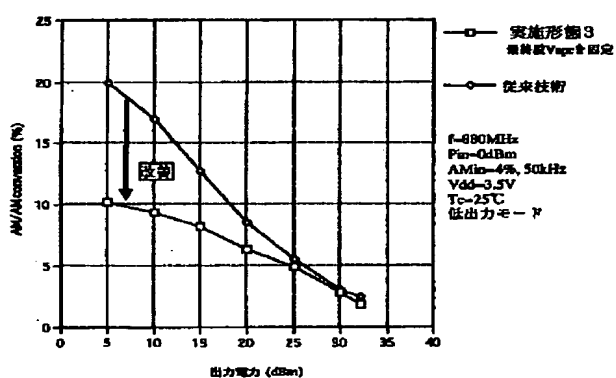
【図13】

図13

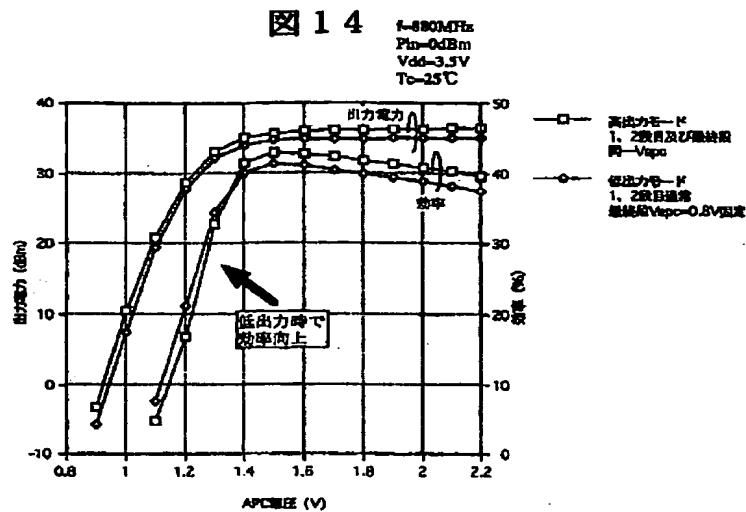


【図15】

図15

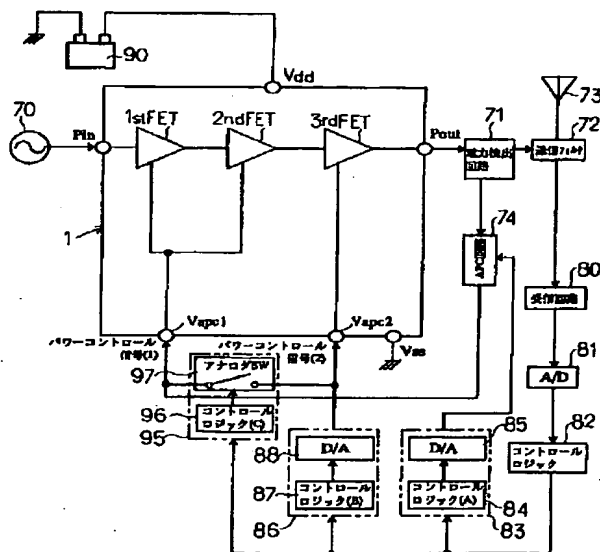


【図14】



【図16】

図16



フロントページの続き

(72)発明者 上野 裕崇
東京都小平市上水本町5丁目22番1号 株
式会社日立超エル・エス・アイ・システム
ズ内

(72)発明者 布川 康弘
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内

(72)発明者 安達 徹朗

群馬県高崎市西横手町1番地1 日立東部
セミコンダクタ株式会社内